

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-186418

(43)Date of publication of application : 15.07.1997

(51)Int.Cl.

H05K 1/11

G01R 31/28

H05K 3/00

(21)Application number : 07-342343

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 28.12.1995

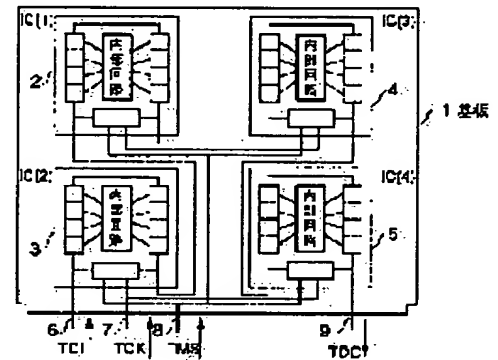
(72)Inventor : MIYAZAKI KOSAKU

## (54) CONNECTING STRUCTURE OF PRINTED CIRCUIT BOARD FOR BOUNDARY SCAN TEST

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To simplify the connection of a signal I/O unit for a logic analyzer to a board mounting component by providing a pad for probe connecting to input boundary scan test data at a fixed position on a printed circuit board.

**SOLUTION:** IC (1) 2, IC (2) 3, IC (3) 4, IC (4) 5 mounted on a board 1 to be boundary scan tested are serially connected by a scan chain. TDI 6, TCK 7, TMS 8, TDO 9 indicated here are signals used for the test. In this case, four signal lines are, for example, disposed on the board 1 with the pads for the test as VIA so as to make it possible to input the signals for the test at an interval of 2.54mm. The VIA is a pattern for connecting the front layer to the rear layer of the board. Thus, the connection of a signal I/O unit such as a logic analyzer to the board mounting component is simplified.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-186418

(43)公開日 平成9年(1997)7月15日

| (51)Int.Cl. <sup>6</sup> | 識別記号 | 庁内整理番号  | F I           | 技術表示箇所 |
|--------------------------|------|---------|---------------|--------|
| H 0 5 K 1/11             |      | 7511-4E | H 0 5 K 1/11  | Z      |
| G 0 1 R 31/28            |      |         | 3/00          | T      |
| H 0 5 K 3/00             |      |         | G 0 1 R 31/28 | G      |
|                          |      |         |               | U      |

審査請求 未請求 請求項の数 2 O L (全 4 頁)

(21)出願番号 特願平7-342343

(22)出願日 平成7年(1995)12月28日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 宮崎 幸作

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

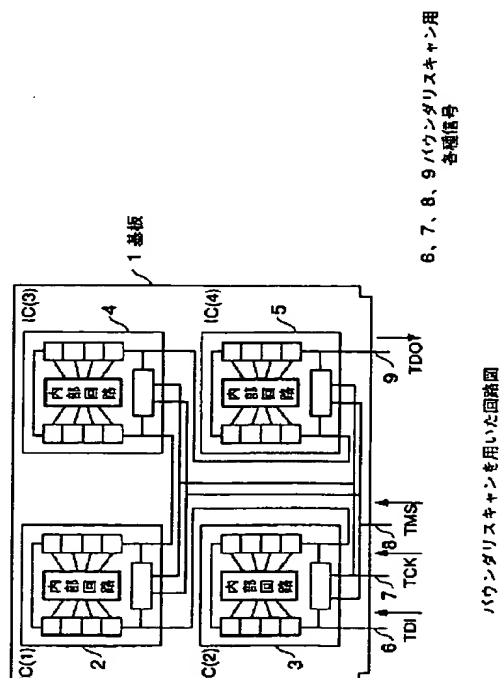
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 バウンダリスキャンテストにおけるプリント配線板の接続構造

## (57)【要約】

【課題】 従来例のバウンダリスキャンテストにおける構成方法では、複数の信号を制御するため、複数の接続個所が必要になる。従って実装基板の種類によって接続個所が異なる等の煩わしさが、また、接続不良による不具合等の問題があった。

【解決手段】 バウンダリスキャンテストを行うプリント配線板において、バウンダリスキャンテストデータを入力するためのプローブ接続用パッドを、プリント配線板上の固定した個所に設け、V I Aとして配置したことによりロジックアナライザ等信号入出力装置からの基板実装部品への接続を簡単にし、上記問題を解消する。



## 【特許請求の範囲】

【請求項1】 バウンダリスキャンテストを行うプリント配線板において、

バウンダリスキャンテストデータを入力するためのプローブ接続用パッドを前記プリント配線板上の固定した個所に設けたことを特徴とするバウンダリスキャンテストにおけるプリント配線板の接続構造。

【請求項2】 バウンダリスキャンテストデータを入力するためのプローブ接続用パッドをVIAとしてプリント配線板上に配置したことを特徴とする請求項1記載のバウンダリスキャンテストにおけるプリント配線板の接続構造。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バウンダリスキャンテストにおけるプリント配線板の接続構造に関する。

【0002】

【従来の技術】従来、この種の接続構造は特開平6-186301に開示されるものがあり、基板にはオシロスコープのプローブと接続するプローブパッドを設け、オシロスコープ及び回路切り換え装置を用いる等して基板上の実装部品の波形観測及びバウンダリスキャンテストを含む検査を行っていた。

【0003】

【発明が解決しようとする課題】しかし、上記従来例の構成の方法では、バウンダリスキャンテストにおいては複数の信号を制御するため、複数の接続個所が必要となる。従って実装基板の種類によって接続個所が異なる等の煩わしさがああり、また接続不良による不具合、例えばテストができない、OUTPUTが異なる等の問題があった。

【0004】

【課題を解決するための手段】バウンダリスキャンテストを実施するプリント配線板において、バウンダリスキャンテストデータを入力するためのプローブ接続用パッドを、プリント配線板上の固定した個所に設け、VIAとして配置した事によりロジックアナライザ等信号入出力装置からの基板実装部品への接続を簡単にした。

【0005】

【発明の実施の形態】図1は本発明の実施形態のバウンダリスキャンを用いた回路図、図2はその接続方法を示す図、図3はバウンダリスキャンに対応したICを示す図、図4は接続プローブを示す図である。

【0006】以下、図にしたがって説明する。バウンダリスキャンテストの対象である基板1に実装されたIC(1)2、IC(2)3、IC(3)4、IC(4)5はスキャンチェーンにより図1に示すようにシリアルに接続されている。ここに示すTDI6、TCK7、TMS8、TDO9はバウンダリスキャンテストに用いる信号であり、その他の信号は図3で示すように入力、出力

等における通常の信号として使用されている。

【0007】ここで、前記4本の信号線を図2に示すように、ある特定の個所にある決められた手法、例えば2.54mm間隔で、バウンダリスキャンテスト用信号が入力できるようにプローブ接続用のテストパッドをVIAとして基板上に配置する。VIA(バイア)とは基板同志の表面層と裏面層を継なぐパターンをいう。

【0008】まず、接続方法を示す図2の基板1にバウンダリスキャンテストを実施する場合、基板1に対し、バウンダリスキャン用テストデータをロジックアナライザから入力するとした時、図4のようなプローブ10をロジックアナライザのプローブとして用いる。そして前述のVIAで構成されているプローブ接続用テストパッド11に接触させる。

【0009】次に、ロジックアナライザよりバウンダリスキャンテストデータを入力し、その出力結果の信号をロジックアナライザを使用して取り込み、バウンダリスキャンテストとして実装部品の検査を行うことができる。

【0010】本実施形態では、1種類の基板に対して適用した例を示し説明したが、複数の基板に対してバウンダリスキャンテストデータ入力テストパッドとして配置個所、配置寸法を固定化する事により、バウンダリスキャンテスト及びバウンダリスキャンテストデータのデバックにおける基板への接続が極めて簡単となり、作業効率が向上する。

【0011】

【発明の効果】以上説明したように本発明によれば、プローブ接続用テストパッドを固定した個所、例えば2.54mmの間隔で一列に基板上に配置した事により、ロジックアナライザ等の信号入出力装置からの基板実装部品への接続が簡単になる。

【0012】また、プローブをその配置に合わせたものにする事により、プローブの接触が安定し、接触不良が低減する。

【0013】また、テストパッドをVIAとして配置することにより、インサートキットテストとの接続において基板のハンダ面からの接続を確保しつつ、ロジックアナライザ等の接続のための部品面から接続も簡単となる。

【0014】さらに、プローブを複数本使用する形態から1本にまとめたため、作業効率が向上する。

## 【図面の簡単な説明】

【図1】本発明の実施形態のバウンダリスキャンを用いた回路図

【図2】本発明の実施形態の接続方法を示す図

【図3】本発明の実施形態のバウンダリスキャンに対応したICを示す図

【図4】接続用プローブを示す図

【符号の説明】

1 基板

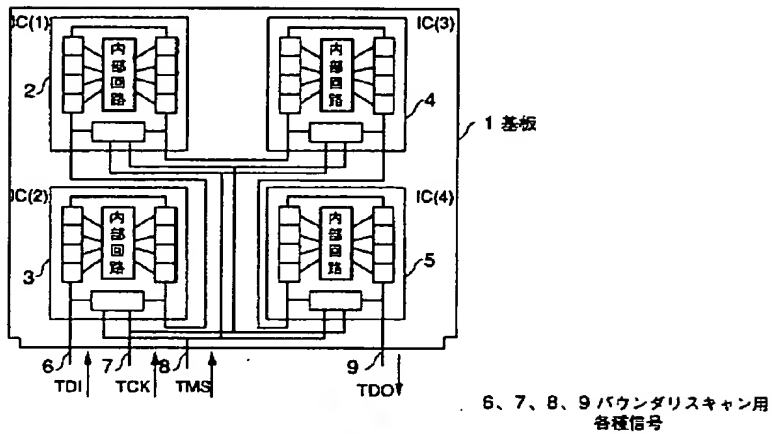
2, 3, 4, 5 IC

6, 7, 8, 9 バウンダリスキャン用各種信号

10 ロジックアナライザ用プローブ

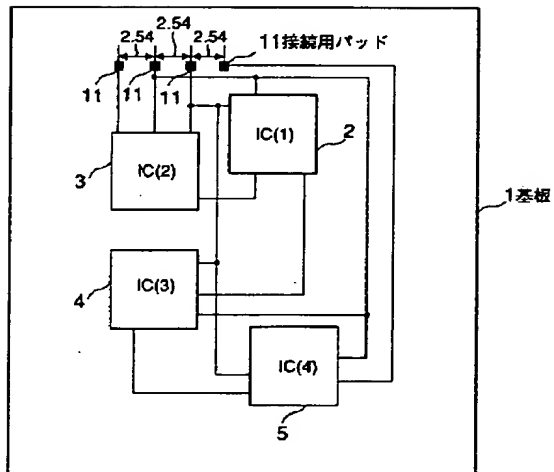
11 プローブ接続用テストパッド

【図1】



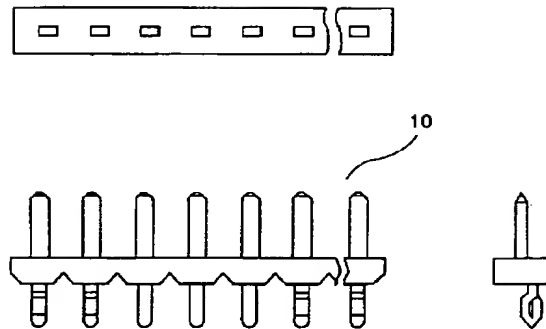
バウンダリスキャンを用いた回路図

【図2】



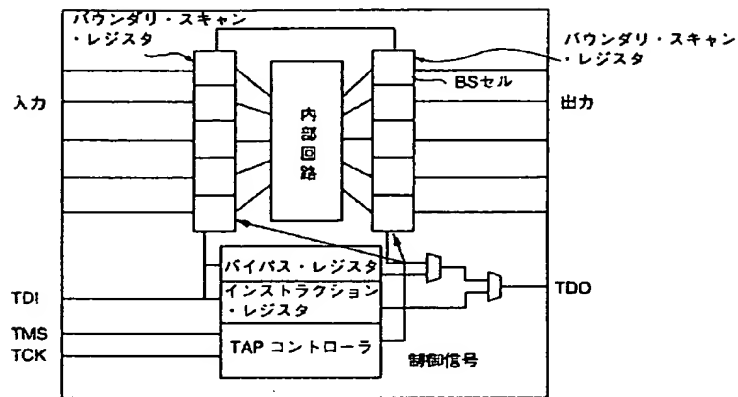
接続方法を示す図

【図4】



接続用プローブを示す図

【図3】



バウンダリ・スキャンに対応したICを示す図